

明德扬模板分享(1)

明德扬科技教育有限公司

官 网： www.mdy-edu.com

淘 宝： mdy-edu.taobao.com

QQ 群： 97925396

FPGA 工程师都知道，Verilog 代码绝大部分都是 `always` 语句，结构基本上都是一致的，为了减少重复性的工作，让工程师专注于设计实现，明德扬精心制作了常用模板，只要你安装好明德扬提供的 GVIM，就能使用这些模板了。

1. 时序逻辑的模板

在 GVIM 输入 “Module” 并回车，如下图所示

```
1
2 Module|
3
```

就能得到下面的时序逻辑的模板。

```
module module_name(
    clk      ,
    rst_n    ,
    dout
);

    parameter DATA_W = 8;

    input      clk      ;
    input      rst_n    ;

    output[DATA_W-1:0] dout ;

    reg [DATA_W-1:0] dout ;

    reg          signal1;

    always@(*) begin
    end

    always@(posedge clk or negedge rst_n) begin
        if(rst_n==1'b0) begin
        end
        else begin
        end
    end

endmodule
```

模块的模板包括了输入输出信号列表、信号定义，组合逻辑和时序逻辑等，这是一个模块常用的组件。学员只需要理解各个部分的意义，按要求来填空就可以，完全没有

必要去记住。我看很多学员刚开始学习时，花费大量的时间去记住、背熟模块，这是没有意义的。

2. 输入“Reg”并回车

```
6
7 Reg
8
```

就能得到单比特的 reg 信号定义

```
reg [0:0] ;
```

3. 输入“Reg2”并回车

```
Reg2
```

就能得到 2 比特的 reg 信号定义

```
2 reg [1:0] ;
```

4. 输入“Reg8”并回车

```
Reg8
```

就能得到 8 比特的 reg 信号定义

```
reg [7:0] ;
```

类似的快捷命令有：

reg 信号	Reg1	Reg2	Reg3	Reg4	Reg8	Reg16	Reg32
wire 信号	Wire1	Wire2	Wire3	Wire4	Wire8	Wire16	Wire32
input 信号	Input1	Input2	Input3	Input4	Input8	Input16	Input32
output 信号	Output1	Output2	Output3	Output4	Output8	Output16	Output32

要使用上面快捷命令，需要明德扬的配置文件，欢迎关注明德扬公众号“fpga520”，或群 97925396 索取。口号：多用模板，减少记忆，专注设计