

明德扬模板分享(1)

明德扬科技教育有限公司

官 网： www.mdy-edu.com

淘 宝： mdy-edu.taobao.com

QQ 群： 97925396

FPGA 工程师都知道，Verilog 代码绝大部分都是 always 语句，结构基本上都是一致的，为了减少重复性的工作，让工程师专注于设计实现，明德扬精心制作了常用模板，只要你安装好明德扬提供的 GVIM，就能使用这些模板了。

1. 时序逻辑的模板

在 GVIM 输入 “Shixu” 并回车，如下图所示

```
1
2 Shixu|
3
```

就能得到下面的时序逻辑的模板。

```
always @(posedge clk or negedge rst_n) begin
    if(rst_n==1'b0) begin
        end
    else begin
        end
    end
end
```

2. 输入 “Shixu2” 并回车

```
1
2 Shixu2|
3
```

就能得到带有 2 个 if 条件的时序逻辑代码。

```
2 always @(posedge clk or negedge rst_n) begin
3     if(rst_n==1'b0) begin
4         end
5     else if() begin
6         end
7     else if() begin
8         end
9 end
10
```

3. 输入 “Shixu3” 并回车

```
2
3 Shixu3|
```

就能得到带有 3 个 if 条件的时序逻辑代码。

```
always @(posedge clk or negedge rst_n) begin
    if(rst_n==1'b0) begin
        end
    else if() begin
        end
    else if() begin
        end
    else if() begin
        end
end
```

欢迎关注明德扬公众号“fpga520”，或群 97925396，索取明德扬模板。口号：多用模板，减少记忆，专注设计